

ALLEGATO B

P.O.R FSE 2007-2013 OBIETTIVO COMPETITIVITÀ REGIONALE E OCCUPAZIONE

Asse IV Capitale umano

Linee di Attività I.1.1

BANDO BORSE DI RICERCA,, DI DURATA BIENNALE, A FAVORE DI DOTTORI DI RICERCA/RICERCATORI.

PRIMA FASE: MANIFESTAZIONE DI INTERESSE DA PARTE DI IMPRESE CON SEDE LEGALE E/O OPERATIVA NEL TERRITORIO REGIONALE

SCHEDA TECNICA RELATIVA ALLA MANIFESTAZIONE DI INTERESSE DA PARTE DI IMPRESE CON SEDE LEGALE E/O OPERATIVA NEL TERRITORIO REGIONALE

La scheda tecnica non può essere modificata, se non in termini di descrizione delle attività e degli obiettivi da perseguire.

*Anche nel caso di rete di imprese, dovrà essere redatta un'unica **scheda tecnica**, sottoscritta dai rappresentanti legali di ciascuna impresa partner, nonché dall'impresa con funzioni di capofila.*

DESCRIZIONE GENERALE DELLA SCHEDA TECNICA

Ambito di riferimento (art 6, punto 7.3 del Bando)	A. Tecnologie dell'informazione e della comunic...
Titolo della scheda tecnica	Prototyper

B.1 Situazione attuale

(Illustrare le attività caratterizzanti l'impresa/e. Nel caso di rete di imprese dovranno essere illustrate le attività caratterizzanti ciascuna impresa appartenente alla rete – Massimo 5.000 caratteri)

Nata dai finanziamenti del progetto cofinanziato dalla U.E. "Creazione di Imprese Innovative" da parte di giovani laureati (P.O.R. Sardegna 2000-2006, Misura 3.13), Custom Ingegneria S.a.s. opera nel settore High-Tech della progettazione e realizzazione dei sistemi elettronici personalizzati. La mission aziendale di Custom Ingegneria è quella di offrire consulenza, progettazione e realizzazione di sistemi elettronici dedicati e personalizzati per applicazioni generiche, come quelle legate alle problematiche del controllo industriale, il monitoraggio di parametri ambientali o la realizzazione di sistemi elettronici per la strumentazione elettromedicale. I prodotti principali offerti sono rappresentati dai sistemi elettronici hardware/firmware/software che soddisfano le specifiche definite dal cliente. Questi possono essere costituiti in alcuni casi da un sistema elettronico dedicato analogico/digitale completamente stand-alone oppure possono essere costituiti da un sistema elettronico la cui parte digitale dovrà interfacciarsi con un calcolatore elettronico (un PC per esempio) per scopi di vario tipo, come ad esempio data filing, data analysis, data processing o controllo industriale. I clienti target della società sono rappresentati da tutte le imprese, industrie, privati, operatori, ingegneri, enti di ricerca Universitari e non dell'intero territorio nazionale e non solo, che necessitano di un sistema elettronico hardware e software dedicato, che non sia cioè un sistema di uso comune e di massa, e quindi non esistente nel mercato di riferimento. Sulla scia della continua evoluzione tecnologica nel campo dell'elettronica e dell'informatica, che rende possibile il concepimento e la realizzazione di sistemi elettronici e informatici dedicati capaci di gestire

esigenze particolari che il mercato non customizzato dell'elettronica di consumo non è in grado di soddisfare, Custom Ingegneria S.a.s. si è specializzata nella realizzazione di schede di sviluppo hardware basate su CPLD (Complex Programmable Logic Device) e FPGA (Field Programmable Gate Array) per la prototipazione rapida di sistemi elettronici digitali altamente performanti, descritti e implementati attraverso la scrittura di codice hardware HDL (Hardware Description Language) sintetizzabile per applicazioni VLSI (Very Large Scale of Integration) e ASIC (Application Specific Integrated Circuit) future fortemente computation-intensive.

B.2. Illustrazione della scheda tecnica

(Analisi e proposta delle nuove attività da realizzare rispetto agli obiettivi da perseguire. Illustrazione delle criticità attuali – Massimo 5.000 caratteri)

Spinti dall'esigenza di voler sfruttare al massimo delle potenzialità i sistemi di prototipazione HW progettati e realizzati attraverso l'utilizzo pesante di componenti programmabili come le FPGA, e quindi sull'uso di linguaggi HDL, le attività proposte saranno maggiormente focalizzate sui seguenti punti:

- Sviluppo di Sistemi Digitali Avanzati e progettazione guidata dall'applicazione di architetture multiprocessore su singolo chip. Parallelamente al progresso di tecnologie e architetture, la capacità computazionale richiesta da applicazioni embedded, in molteplici campi applicativi (quali multimedia e intrattenimento, strumentazioni mediche, militari, ecc.), determina inequivocabilmente la necessità di dispositivi multiprocessore su singolo chip in grado di effettuare computazioni in tempo reale, secondo scheduling estremamente stretti. In aggiunta, tali sistemi debbono essere necessariamente flessibili, poiché le attuali applicazioni embedded includono numerosi algoritmi complessi, per loro natura assai eterogenei. Di conseguenza, per supportare l'esecuzione di tali applicazioni in modo efficace ed efficiente, è necessario introdurre un approccio di progettazione dei sistemi multiprocessore eterogenei di tipo application-specific.

- Sviluppo di metodologie di tipo "Technology-Aware" per la prototipazione FPGA di sistemi di interconnessione su singolo chip. L'utilizzo di simulatori software di tipo cycle-accurate come base per l'esplorazione delle possibili configurazioni hardware-software di un moderno dispositivo multiprocessore su singolo chip, si rivela spesso insoddisfacente nel gestire la complessità raggiunta da tali dispositivi. In tale contesto, si propone di realizzare un flusso completo di emulazione hardware, basato su FPGA, atto a permettere un'accelerazione dell'esplorazione dello spazio di progettazione di tali architetture multiprocessore. Il frame work permetterà inoltre di estrarre, in modo automatico e non invasivo, alcune metriche hardware utili alla stima delle prestazioni e dei compromessi architetturali, ma anche alla stima delle figure di potenza e del consumo di area, relativamente a una potenziale implementazione ASIC del sistema.

- Sviluppo di tecniche di supporto all'adattività su sistemi multiprocessore eterogenei su singolo chip.

L'adattività di sistema è ormai caratteristica di grande importanza nei moderni sistemi embedded multiprocessore. Per raggiungere l'obiettivo di tale supporto, è fondamentale adottare un modello di computazione concepito per supportare nativamente meccanismi di adattività. Fra i modelli presenti in letteratura, quelli caratterizzati da semantiche estremamente semplici e da una descrizione dello stato del processo semplice e trasferibile con facilità, vengono generalmente adottati per le specifiche delle applicazioni. Tuttavia, l'esecuzione di applicazioni basate su questi modelli e su piattaforme generiche MPSoC interconnesse mediante Network-on-Chip, richiede l'introduzione di componenti software, hardware, e middleware sviluppati ad hoc. L'approccio proposto riguardo la migrazione dei processi si baserà su uno strato middleware costituito da due componenti principali; il primo componente riguarderà lo scambio di dati fra processi allocati su tile differenti, e il secondo componente consentirà la migrazione in tempo reale dei processi paralleli. In questo modo, la migrazione garantirà una procedura predicibile ed efficiente, attuabile in qualsiasi momento dell'esecuzione.

- Sviluppo di metodologie per l'emulazione di dispositivi ASIP (Application Specific Instruction-set Processors) su hardware differenti. Verrà realizzato un framework che, a partire da una serie di configurazioni "candidate" ASIP, identificherà e implementerà una architettura sovradimensionata riconfigurabile via software in tempo d'esecuzione, la quale sarà in grado di emulare tutti i punti dello spazio di esplorazione valutato.

B.3 Innovazione e prospettive di mercato

(Illustrazione dei livelli di innovatività individuati rispetto alle nuove attività da realizzare anche in termini di acquisizione di livelli più competitivi e di inserimento nel mercato - – Massimo 5.000 caratteri)

I recenti progressi nelle tecnologie dei semiconduttori e nelle architetture dei processori hanno consentito l'implementazione di architetture multiprocessore su singolo chip dalla grande complessità, e reso possibile un progresso stupefacente della capacità di elaborazione dei dispositivi autonomi e mobili. Esempi dei nuovi sistemi introdotti includono vari dispositivi di monitoraggio, misurazione, controllo, comunicazione, e sistemi multimediali che possono integrarsi su apparecchiature mobili, o difficilmente accessibili, su elettrodomestici, apparecchiature da ufficio, o dispositivi ospedalieri, o anche impiantati nel corpo umano. La metodologia di design proposta si inserisce nei contesti del design platform-based di sistemi embedded eterogenei multi-processore (che ha interessato la comunità di ricerca negli ultimi anni), delle tecniche di compilazione hardware (investigate da più di vent'anni ad oggi ma che tuttavia richiedono ancora degli sforzi di ricerca) e software (area di ricerca ben più longeva, che al giorno d'oggi ripropone alcuni problemi aperti, come l'identificazione e lo sfruttamento del parallelismo a livello di applicazione). Tale metodologia affronta la sintesi hardware di tipo application-specific, sia a livello macro-architetturale (system-level) che a livello micro-architetturale, e la implementazione hardware/software application-specific e "technology-aware".

Sebbene negli ultimi anni la ricerca nel campo della sintesi automatica a livello macro-architetturale sia stata molto fervente, ad oggi non esistono metodologie e tool di livello industriale che affrontino questo problema per i sistemi multi-processore ad elevata eterogeneità. Per questo motivo, questo obiettivo indica anche il primo fattore di innovatività del progetto proposto. Dal momento che il target di questo progetto sono i sistemi multi-core basati su processori configurabili di tipo ASIP, e che ad oggi, la selezione della tipologia di processore viene effettuata manualmente, sfruttando principalmente la conoscenza che il progettista ha del dominio applicativo di interesse e sulla base di step di analisi/profiling dell'applicazione, si ritiene che lo sviluppo di strumenti automatici di supporto alla scelta della tipologia dei processori ASIP sia un secondo fattore di innovatività del progetto. Un ulteriore fattore di innovatività del progetto, che rappresenta un chiaro fattore di progresso rispetto allo stato dell'arte è costituito dallo sviluppo di una metodologia di sintesi architetturale per sistemi eterogenei multi-processore basati su ASIP configurabili che consideri l'implementazione e l'ottimizzazione dei livelli macro e micro-architetturale come un unico problema complesso ma coerente, non come due task separati, come nella maggior parte degli approcci allo stato dell'arte.

Queste nuove attività prevedono un orientamento al mercato con un piano di business da attuare nell'arco di tempo di 3/4 anni.

B.4 Esperienza già acquisita

(Indicazione delle esperienze già maturate in termini di ricerca e sviluppo – Massimo 5.000 caratteri)

Essendo Custom Ingengria S.a.s. una società ad alto contenuto tecnologico che si è dovuta scontrare spesso con i limiti delle potenzialità di calcolo normalmente ottenibili con l'elettronica accessibile comunemente ai suoi clienti abituali, ha deciso di specializzarsi nella realizzazione di sistemi custom VLSI su FPGA altamente performanti spinta dalle iniziali attività di ricerca svolte dall'Ing. Gianmarco Angius, PhD (socio fondatore di Custom Ingegneria S.a.s.) durante i suoi studi di Laurea in Ingegneria Elettronica, che si conclusero con una tesi dal titolo "Studio e Modellizzazione HDL di un'Architettura Fault-Tolerant ad Agenti Hardware". Il lavoro sperimentale, che iniziò nel 2005 e si concluse sfortunatamente nel 2006 nonostante fu manifestata la volontà di proseguire le ricerche in quel filone, partì dalla considerazione che i sistemi di elaborazione digitale che oggi conosciamo devono essere in grado di gestire algoritmi che diventano sempre più complessi e che richiedono una quantità di dati e una velocità di esecuzione sempre più alta. Le soluzioni hardware più innovative fanno leva sul continuo miglioramento della tecnologia CMOS, che permette una sempre maggiore capacità di integrazione e frequenze operative sempre più elevate. Essa permette quindi di realizzare così dei circuiti integrati sempre più densi, dove il problema del ritardo di propagazione e della tolleranza ai guasti diventano sempre più preoccupanti. Nasce così la necessità di introdurre nuovi approcci architetturali che siano in grado di avvantaggiarsi dei continui miglioramenti di questa tecnologia implementativa. La ricerca portata avanti alla luce di questa problematica ha compreso lo studio e l'applicazione delle proprietà del paradigma bio-ispirato della swarm intelligence alla progettazione e implementazione integrata di piattaforme di elaborazione digitale, composte da unità elementari di calcolo molto semplici capaci di eseguire algoritmi complessi traendo vantaggio dai meccanismi di cooperazione mutuati dal paradigma bio-ispirato.

A questo scopo, è possibile elencare alcune pubblicazioni di rilievo internazionale che vedono tra gli autori l'Ing. Angius:

- G. Angius, C.Manca, D.Pani, L.Raffo, Cooperative VLSI Tiled Architectures: Stigmergy in a Swarm Coprocessor, ANTS2006, 5th International Workshop on Ant Colony Optimization and Swarm Intelligence, Bruxelles, Belgio, September 2006, pp. 396-403, ISBN 3-5403-8482-0;
- G. Angius, D. Pani, L. Raffo, Applicazione della Swarm Intelligence alla progettazione di Co-processori Integrati Cooperativi, WIVA3, 3°Workshop Italiano di Vita Artificiale, Siena, Italia, Settembre 2006.

FIRMA del Rappresentante/i legale/iⁱ

Luogo e data

ⁱ La Scheda tecnica deve essere firmata e data dal rappresentante legale per le imprese singole, dal soggetto capofila e dai rappresentanti legali dei soggetti partner nel caso di Rete.